

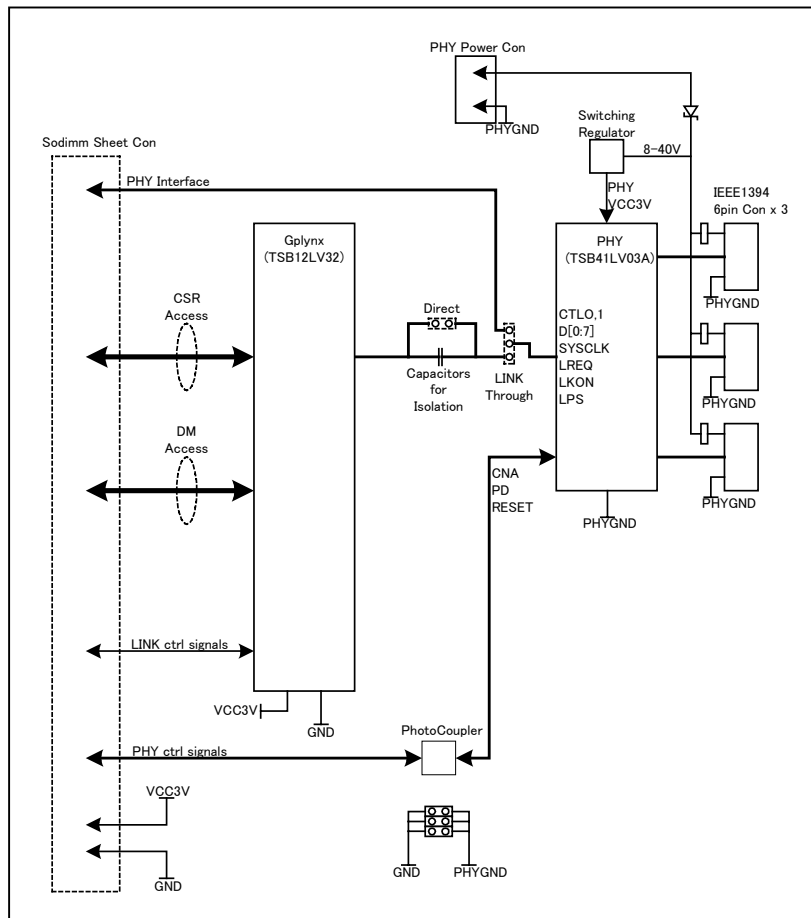
IEEE1394.a TI-Gplynx Daughter Card

IPMate-TI-Gplynx-001 (販売中!!)

■ 機能概要

- PHY に TI 社 TSB41LV03A を採用。
- LINK に TI 社 TSB12LV32 を採用。
- IEEE1394.a に対応。
- 転送速度、100M,200M,400Mbps 対応。
- LINK~PHY 間の Isolation/Direct の選択が可能。
 - ◇ LINK,PHY チップの Isolation 端子の設定とともに、Isolation 用 Capacitor に平行にショートピンを配置し、C の両端をショートさせることにより Direct 接続に対応。
- LINK チップの迂回機能。
 - ◇ ショートピンの選択により、LINK チップを迂回可能。
 - ◇ これにより IPMate-Base ボードと組み合わせて LINK-IP の実装評価が可能。
- Cable から PHY チップへの受給電、及び、他 Node への給電可能。

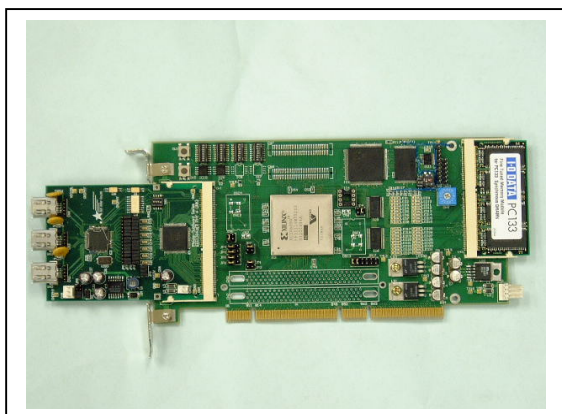
■ ブロック図



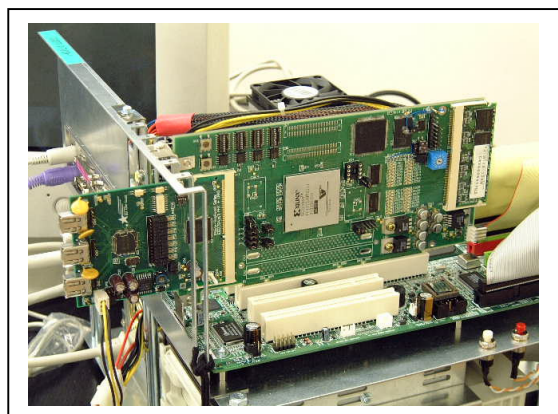
■ 基盤・実装イメージ



IPMate-TI-Gplynx-001



IPMate-PCI-VX2-001 に実装した写真



OpenRack に実装した写真

記載内容については、変更される場合があります。ご発注の際にご確認下さい。

設計元：株式会社ドット・アスタ

〒224-0041 横浜市都筑区仲町台1-3-7 ヤマヒョウB館302

TEL:045-948-4477 FAX:045-948-4476 担当:大庭(オオバ)

HP: <http://www.dot-aster.com> E-mail: info@dot-aster.com

(第1版：平成15年1月2日)